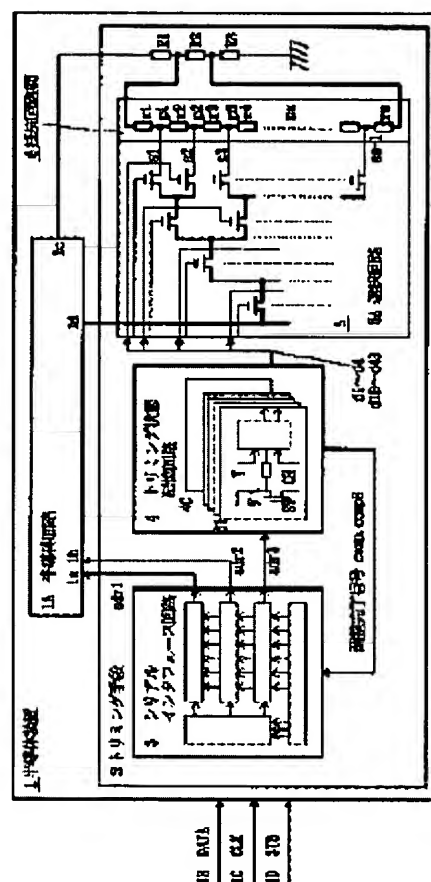


SEMICONDUCTOR DEVICE AND ITS TRIMMING METHOD

Patent number: JP2002083928
Publication date: 2002-03-22
Inventor: ARAI HIROHISA
Applicant: FUJI ELECTRIC CO LTD
Classification:
- international: H01L27/04; H01L21/822
- european:
Application number: JP20000269969 20000906
Priority number(s): JP20000269969 20000906

Abstract of JP2002083928

PROBLEM TO BE SOLVED: To provide a semiconductor device in which a switching element connected to the node of a resistor circuit network is selected by blowing a fuse or not blowing a fuse and which is trimmed and adjusted, and to provide its trimming method.
SOLUTION: A trimming means 2 is provided with the resistor circuit network 6; a selection circuit 5 which comprises switching elements s1 to sm-1 connected to respective nodes p1 to pm-1 of the network 6, and which controls the continuity or the discontinuity of the switching elements s1 to sm-1 so as to select the output of a designated node px inside the network 6; trimming-state memory circuits 41 to 44 which comprise a plurality of fuses Fs and a fusing switch SW1 used to control blowing of the fuses Fs, and which output control signals d1 to d4; d1B to d4B to the selection circuit 5 by blowing the fuses or not blowing the fuse; and a serial interface circuit 3 to which serial data DATA is input, and which forms various signals adr3 used to control the operation of the memory circuits 41 to 44 on the basis of the serial data.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-83928

(P2002-83928A)

(43)公開日 平成14年3月22日(2002.3.22)

(51)Int.Cl.⁷

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

テ-マ-ト*(参考)

V 5 F 0 3 8

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21)出願番号 特願2000-269969(P2000-269969)

(22)出願日 平成12年9月6日(2000.9.6)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 荒井 裕久

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100088339

弁理士 篠部 正治

Fターム(参考) 5F038 AV02 AV10 AV15 DF07 DT02

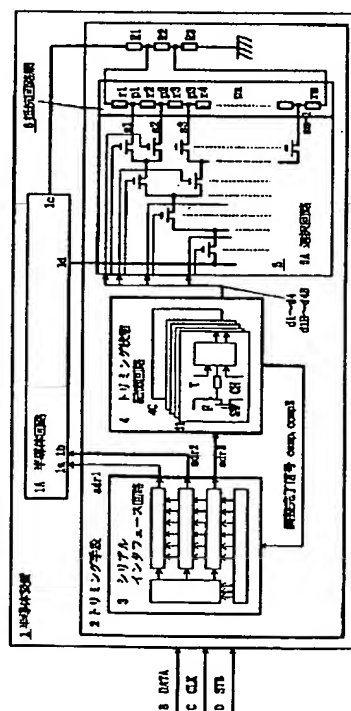
DT03 EZ20

(54)【発明の名称】 半導体装置およびそのトリミング方法

(57)【要約】

【課題】フューズの溶断・非溶断で抵抗回路網の節点に接続されるスイッチ素子を選択してトリミング調整する半導体装置とトリミング方法を提供する。

【解決手段】トリミング手段2は、抵抗回路網6と、この抵抗回路網6の各節点p1～pm-1に接続されるスイッチ素子s1～sm-1を有し、このスイッチ素子s1～sm-1の導通・非導通制御をして抵抗回路網6の内、指定された節点pxの出力を選択する選択回路5と、複数のフューズFとこのフューズFを溶断制御する溶断スイッチSW1とを有し、フューズの溶断・非溶断で選択回路5に制御信号d1～d4,d1B～d4Bを出力するトリミング状態記憶回路41～44と、直列データDATAを入力し、この直列データDATAからトリミング状態記憶回路41～44の動作を制御する各種信号adr3を形成するシリアルインタフェース回路3と、を備える。



【特許請求の範囲】

【請求項1】抵抗回路網にトリミング手段を有する半導体装置において、

トリミング手段は、抵抗回路網と、この抵抗回路網の各節点に接続されるスイッチ素子を有し、このスイッチ素子の導通・非導通制御をして抵抗回路網の内、指定された節点の出力を選択する選択回路と、複数のフューズとこのフューズを溶断制御する第1スイッチとを有し、フューズの溶断・非溶断で前記選択回路に制御信号を出力するトリミング状態記憶回路と、直列データを入力し、この直列データから前記トリミング状態記憶回路の動作を制御する各種信号を形成するシリアルインタフェース回路と、を備える、

ことを特徴とする半導体装置。

【請求項2】請求項1に記載の半導体装置において、トリミング手段は、テストモードで、シリアルインタフェース回路の直列データを操作し、模擬フューズ溶断信号としてのテスト信号から選択回路に導通・非導通の制御信号を出力して最適トリミング状態をテスト・検出する最適トリミング検出手段と、溶断モードで、直列データを操作し、前記フューズの内、最適トリミング検出手段で検出された要溶断フューズに対して溶断を指令して該当するフューズを溶断する溶断指令手段と、を備える、

ことを特徴とする半導体装置。

【請求項3】請求項1または請求項2に記載の半導体装置において、

トリミング手段は、溶断判別モードで、直列データを操作し、溶断指令手段によって該当箇所のフューズが確実に溶断したか否かを判別するフューズ溶断判別手段と、を備える、

ことを特徴とする半導体装置。

【請求項4】請求項1ないし請求項3のいずれかの項に記載の半導体装置において、

トリミング手段は、再トリミング防止回路を備え、フューズ溶断判別手段が該当箇所のフューズを確実に溶断したことを確認後、直列データを操作し、再トリミング防止回路のフューズを溶断する再トリミング防止手段と、を備える、

ことを特徴とする半導体装置。

【請求項5】請求項1ないし請求項4のいずれかの項に記載の半導体装置において、

シリアルインタフェース回路は、直列データを並列データに変換するシフトレジスタと、このシフトレジスタの並列データの内、予め定められたビット領域に書き込まれた制御データによって残りデータの書き込み領域を定める第1論理回路と、この第1論理回路出力で指定された書き込み領域に並列データの内の残りデータをラッチする少なくともトリミング用ラッチ回路と、を備える、ことを特徴とする半導体装置。

【請求項6】請求項5に記載の半導体装置において、第1論理回路は、予め定められたビット領域に書き込まれた制御データがトリミング用ラッチ回路を指定し、かつ、再トリミング防止回路のフューズが非溶断であるときのみ制御出力を出力するトリミング回路用の第2論理回路を有し、トリミング用ラッチ回路は、この第2論理回路の出力によって伝送される直列データの内、該当データをトリミング用ラッチ回路に取り込む、ことを特徴とする半導体装置。

【請求項7】請求項1ないし請求項4のいずれかの項に記載の半導体装置において、

トリミング状態記憶回路は、抵抗回路網の各節点に接続されるスイッチ素子数を2進法で表した個数の状態記憶回路を有し、

各状態記憶回路は、電源に接続されたフューズと、このフューズと直列接続され電源0V間に接続されてフューズを溶断制御する第1スイッチと、フューズと第1スイッチの節点Aから抵抗を介して電源0V間に接続される第2スイッチと、この第2スイッチと前記抵抗の節点Bおよびシリアルインタフェース回路からの確認信号との否定論理積（以下、NANDと略称する）をとり第2スイッチを制御する第1NAND素子と、シリアルインタフェース回路からのテスト信号をNOT演算しこのNOT信号と節点Bからの当該フューズの溶断・非溶断信号とのNANDをとる第2NAND素子と、を備え、

この第2NAND素子の出力およびこの出力のNOT信号とを選択回路への制御信号として出力する、

ことを特徴とする半導体装置。

【請求項8】請求項1ないし請求項7のいずれかの項に記載の半導体装置において、

選択回路は、抵抗回路網の各節点に接続されるスイッチ素子と、このスイッチ素子と同一素子を用いてデコーダ回路を構成するスイッチ素子と、を備え、

デコーダ回路は、前段のスイッチ素子出力を2個一組として接続してスイッチ素子を介して次段に出力し、最終段はスイッチ素子出力を2個一組として接続してトリミング選択出力とし、トリミング状態記憶回路の制御信号の同一ビットのH,L信号は、同一段の2個一組となるスイッチ素子にそれぞれ接続する、

ことを特徴とする半導体装置。

【請求項9】請求項1ないし請求項7のいずれかの項に記載の半導体装置において、

選択回路は、抵抗回路網の各節点に接続されるスイッチ素子と、トリミング状態記憶回路の制御信号をデコードする第3論理回路と、を備え、

この第3論理回路の出力を前記スイッチ素子に個別に接続する、

ことを特徴とする半導体装置。

【請求項10】請求項1ないし請求項7のいずれかの項に記載の半導体装置において、

選択回路は、抵抗回路網の各節点に接続されるスイッチ素子と、トリミング状態記憶回路の制御信号を分割してデコードする第4および第5論理回路と、第5論理回路で選択制御される選択スイッチ素子と、を備え、前記スイッチ素子を第4論理回路の出力数毎にグループ化し、グループ内の各節点の選択を第4論理回路の出力で制御し、このグループ単位毎の選択を第5論理回路の出力で制御する、ことを特徴とする半導体装置。

【請求項11】請求項6に記載の半導体装置において、トリミング用ラッチ回路に残りデータをラッチさせる第2論理回路は、シフトレジスタの並列データの内、予め定められたビット領域の特定データを、再トリミング防止回路のフューズ非溶断でHレベル信号で前記第2論理回路のAND素子に入力する第3スイッチ素子と、再トリミング防止回路のフューズ溶断でHレベル信号で前記特定データを前記AND素子への入力を阻止してLレベル信号を入力する第4スイッチ素子と、抵抗と、を備え、この第3・第4スイッチ素子とAND素子の入力が接続された共通点をIC端子に出力する、ことを特徴とする半導体装置。

【請求項12】請求項6に記載の半導体装置において、トリミング用ラッチ回路に残りデータをラッチさせる第2論理回路は、シフトレジスタの並列データの内、予め定められたビット領域の特定データを、再トリミング防止回路のフューズ非溶断でHレベル信号で前記第2論理回路のAND素子に入力する第3スイッチ素子と、再トリミング防止回路のフューズ溶断でHレベル信号で前記特定データを前記AND素子への入力を阻止してLレベル信号を入力する第4スイッチ素子と、抵抗と、この第3・第4スイッチ素子とAND素子の入力が接続された共通点を並列データD11に読み書き可能とし、この並列データを読み出す手段と、を備える、ことを特徴とする半導体装置。

【請求項13】請求項1ないし請求項12のいずれかの項に記載の半導体装置を用いた当該半導体装置のトリミング方法において、

テスト信号を入力し、模擬フューズ溶断信号としてのテスト信号から選択回路に導通・非導通の制御信号を出力して最適トリミング状態を検出するテストモードのステップと、

溶断指令を入力し、前記フューズの内、前記テストモードで検出された最適トリミング状態に該当する要溶断フューズに対して溶断を指令して該当するフューズを溶断する溶断モードのステップと、

確認信号を入力し、前記溶断モードによって該当箇所のフューズが確実に溶断したか否かを判別し、フューズ溶断が不確実なときは再度溶断モードで該当するフューズを溶断する溶断判別モードのステップと、前記溶断判別モードにて該当箇所のフューズを確実に溶

断したことを確認後、再トリミング防止用溶断指令を入力し、再トリミング防止回路のフューズを溶断する再トリミング防止モードのステップと、を有する、ことを特徴とするトリミング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の内部回路にアナログ量を取り扱い、このアナログ量の微調整（トリミング）を行うことができる半導体装置に関する。

【0002】

【従来の技術】集積回路(IC)内に組み込まれる半導体装置の内部回路にアナログ量を取り扱いこのアナログ量の微調整を行わせたいときは、従来技術では、ICの製作過程において特性のバラツキを小さく押さえ込むために、ウェハプロセス段階で調整を実施している。しかし、ICの後工程、例えば、モールド加工などの後では応力の影響などを避けるため予めこの変動分を加味して調整を行う必要がある。

【0003】また、図9において、特開平11-204740号公報「半導体装置」によれば、抵抗網Ra~Rdにトリミング手段が付加された半導体装置110において、トリミング手段は、フューズ105,106,107と、このフューズ105,106,107の接続先を抵抗網Ra~Rdおよびフューズ電流供給ラインcのいずれかに切り換える切換手段115,116,117と、を備えて構成される。

【0004】かかる構成により、トリミング治具118のマイクロプロセッサMPU-118bのデータをP/S変換器118cで直列データに変換して半導体装置110に伝送する。半導体装置110では、この直列伝送されたデータを端子114bを介して受信し、S/P変換器114aで並列データに変換し、レジスタ114でこのデータをラッチし、デコード113でデコードし、例えば、指定された切換手段115(116,117)を選択してフューズ105(106,107)をフューズ電流供給ラインcに切り換える。この結果フューズ105(106,107)が溶断して、トリミング抵抗Rbが抵抗Rdに付加・加算してトリミング調整をすることができる。

【0005】

【発明が解決しようとする課題】上述の様に、ウェハプロセス段階でトリミング調整を実施しているときは、ICの後工程（例えば、モールド加工）での特性への影響を考慮して予めその変動分を加味して調整を行う必要がある。しかしながら、モールド加工による変動量にバラツキがある場合や、あるいは、より高い精度を要求される場合には、ウェハプロセス段階でのトリミング調整には限界が生じる。

【0006】また、特開平11-204740号公報「半導体装置」に開示された半導体装置では、抵抗網のトリミング調整は、切換手段を介してフューズで短絡している個々の抵抗からなる抵抗網の内、選択的に特定抵抗のフュー

ズを溶断・開路している。従って、トリミング調整の安定性の面から、フューズの抵抗と切換手段（例えば、半導体(FET) スイッチ）のON抵抗の和に対して十分に高い抵抗値を必要とし、公報の開示例では数kΩ～数MΩの抵抗素子を直列に接続して抵抗網を構成する様に利用されている。

【0007】本発明は集積回路(IC)の製品最終段階での調整を目的とし、また、トリミング手段としてのフューズでトリミング用の抵抗素子を短絡構成することなく、比較的低い抵抗素子を用いても高精度で安定なトリミング調整手段を有し、最適トリミング状態に調整されたことを確認でき、最終トリミング調整終了後はどのようなモードのパルス信号が製品に侵入しても再びトリミングモードに入らなくすることができる半導体装置およびそのトリミング方法を提供することにある。

【0008】

【課題を解決するための手段】上記課題は本発明によれば、抵抗回路網にトリミング手段を有する半導体装置において、トリミング手段は、抵抗回路網と、この抵抗回路網の各節点に接続されるスイッチ素子を有し、このスイッチ素子の導通・非導通制御をして抵抗回路網の内、指定された節点の出力を選択する選択回路と、複数のフューズとこのフューズを溶断制御する第1スイッチとを有し、フューズの溶断・非溶断で選択回路に制御信号を出力するトリミング状態記憶回路と、直列データを入力し、この直列データからトリミング状態記憶回路の動作を制御する各種信号を形成するシリアルインタフェース回路と、を備えるものとする。

【0009】また、トリミング手段は、テストモードで、シリアルインタフェース回路の直列データを操作し、模擬フューズ溶断信号としてのテスト信号から選択回路に導通・非導通の制御信号を出力して最適トリミング状態をテスト・検出する最適トリミング検出手段と、溶断モードで、直列データを操作し、フューズの内、最適トリミング検出手段で検出された要溶断フューズに対して溶断を指令して該当するフューズを溶断する溶断指令手段と、を備えることができる。

【0010】また、トリミング手段は、溶断判別モードで、直列データを操作し、溶断指令手段によって該当箇所のフューズが確実に溶断したか否かを判別するフューズ溶断判別手段と、を備えることができる。また、トリミング手段は、再トリミング防止回路を備え、フューズ溶断判別手段が該当箇所のフューズを確実に溶断したことを確認後、直列データを操作し、再トリミング防止回路のフューズを溶断する再トリミング防止手段と、を備えることができる。

【0011】かかる構成により、半導体装置のトリミング調整は、半導体装置のシリアルインタフェース回路にテスト信号、溶断指令、確認信号、再トリミング防止用溶断指令の各種データを伝送して、模擬テスト信号でト

リミング状態を変更して半導体装置内部のアナログ量の最適なトリミング状態を検知し、溶断指令でこの検知した最適トリミング状態に該当するフューズの溶断・非溶断制御して最適トリミング状態を固定化し、確認信号信号で上記フューズの溶断・非溶断制御が確実に実行されていることを確認し、この溶断・非溶断制御の確認後、再トリミング防止用溶断指令によって、再びトリミング状態に入ることを禁止する再トリミング防止回路のフューズを溶断して、再トリミング状態への侵入を防止して、最適トリミング状態を固定化することができる。

【0012】また、シリアルインタフェース回路は、直列データを並列データに変換するシフトレジスタと、このシフトレジスタの並列データの内、予め定められたビット領域に書き込まれた制御データによって残りデータの書き込み領域を定める第1論理回路と、この第1論理回路出力で指定された書き込み領域に並列データの内の残りデータをラッチする少なくともトリミング用ラッチ回路と、を備えることができる。

【0013】また、第1論理回路は、予め定められたビット領域に書き込まれた制御データがトリミング用ラッチ回路を指定し、かつ、再トリミング防止回路のフューズが非溶断であるときのみ制御出力を出力するトリミング回路用の第2論理回路を有し、トリミング用ラッチ回路は、この第2論理回路の出力によって伝送される直列データの内、該当データをトリミング用ラッチ回路に取り込むことができる。

【0014】かかる構成により、最終トリミング調整終了後はどのようなモードのパルス信号が製品に侵入しても再トリミングモードに入らなくすることができる。また、トリミング状態記憶回路は、抵抗回路網の各節点に接続されるスイッチ素子数を2進法で表した個数の状態記憶回路を有し、各状態記憶回路は、電源に接続されたフューズと、このフューズと直列接続され電源0V間に接続されてフューズを溶断制御する第1スイッチと、フューズと第1スイッチの節点Aから抵抗を介して電源0V間に接続される第2スイッチと、この第2スイッチと抵抗の節点Bおよびシリアルインタフェース回路からの確認信号との否定論理積（以下、NANDと略称する）をとり第2スイッチを制御する第1NAND素子と、シリアルインタフェース回路からのテスト信号をNOT演算しこのNOT信号と節点Bからの当該フューズの溶断・非溶断信号とのNANDをとる第2NAND素子と、を備え、この第2NAND素子の出力およびこの出力のNOT信号とを選択回路への制御信号として出力することができる。

【0015】かかる構成により、トリミング状態記憶回路は、2進法で表される溶断されたフューズ情報あるいは模擬フューズ溶断信号により抵抗回路網の各節点に接続されるスイッチ素子を選択的に導通させ、テストモードで最適トリミング状態を検出し、溶断モードで該当する要溶断フューズを溶断し、溶断判別モードで該当箇所

のフューズが確実に溶断されたことを検出して最適トリミング状態を記憶・保持することができる。

【0016】また、選択回路(5A)は、抵抗回路網の各節点に接続されるスイッチ素子と、このスイッチ素子と同一素子を用いてデコーダ回路を構成するスイッチ素子と、を備え、デコーダ回路は、前段のスイッチ素子出力を2個一組として接続してスイッチ素子を介して次段に出力し、最終段はスイッチ素子出力を2個一組として接続してトリミング選択出力とし、トリミング状態記憶回路の制御信号の同一ビットのH,L信号は、同一段の2個一組となるスイッチ素子にそれぞれ接続することができる。

【0017】かかる構成により、同一スイッチ素子を用いてデコーダ回路を構成し、トリミング状態記憶回路の制御信号によって選択された抵抗回路網の節点出力をトリミング出力として取り出すことができる。また、選択回路(5B)は、抵抗回路網の各節点に接続されるスイッチ素子と、トリミング状態記憶回路の制御信号をデコードする第3論理回路と、を備え、この第3論理回路の出力を前記スイッチ素子に個別に接続することができる。

【0018】かかる構成により、第3論理回路でトリミング状態記憶回路の制御信号を直接デコードしてスイッチ素子のON-OFF制御を行うことができ、選択した抵抗回路網の節点の出力を1個のスイッチ素子のON抵抗で検出することができる。また、選択回路(5D)は、抵抗回路網の各節点に接続されるスイッチ素子と、トリミング状態記憶回路の制御信号を分割してデコードする第4および第5論理回路と、第5論理回路で選択制御される選択スイッチ素子と、を備え、スイッチ素子を第4論理回路の出力数毎にグループ化し、グループ内の各節点の選択を第4論理回路の出力で制御し、このグループ単位毎の選択を第5論理回路の出力で制御することができる。

【0019】かかる構成により、この選択回路(5D)は、トリミング状態記憶回路の制御信号によって選択された抵抗回路網の節点出力をトリミング出力として取り出すことができる。特に、選択回路(5D)上の制御信号の配線数は、各スイッチ素子に個別に配線される選択回路(5B)に対して、グループ化した配線を要する式に配線できるので、選択回路(5A)と同等ないしはこれに近い配線数に軽減することができ、選択した抵抗回路網の節点出力を2個のスイッチ素子のON抵抗で検出することができる。

【0020】また、トリミング用ラッチ回路に残りデータをラッチさせる第2論理回路は、シフトレジスタの並列データの内、予め定められたビット領域の特定データを、再トリミング防止回路のフューズ非溶断でHレベル信号で第2論理回路のAND素子に入力する第3スイッチ素子と、再トリミング防止回路のフューズ溶断でHレベル信号で特定データをAND素子への入力を阻止してLレベル信号を入力する第4スイッチ素子と、抵抗と、を備え、この第3・第4スイッチ素子とAND素子の入力が接

続された共通点をIC端子に出力することができる。

【0021】また、トリミング用ラッチ回路に残りデータをラッチさせる第2論理回路は、シフトレジスタの並列データの内、予め定められたビット領域の特定データを、再トリミング防止回路のフューズ非溶断でHレベル信号で第2論理回路のAND素子に入力する第3スイッチ素子と、再トリミング防止回路のフューズ溶断でHレベル信号で特定データをAND素子への入力を阻止してLレベル信号を入力する第4スイッチ素子と、抵抗と、この第3・第4スイッチ素子とAND素子の入力が接続された共通点を並列データD11に読み書き可能とし、この並列データを読み出す手段と、を備えることができる。

【0022】かかる構成により、この共通点をIC端子に出力することにより、この端子の信号レベルを読み取ることにより、トリミング状態記憶回路のトリミング調整の有無を確認することができる。また、この半導体装置のトリミング方法は、テスト信号を入力し、模擬フューズ溶断信号としてのテスト信号から選択回路に導通・非導通の制御信号を出力して最適トリミング状態を検出するテストモードのステップと、溶断指令を入力し、上記フューズの内、テストモードで検出された最適トリミング状態に該当する要溶断フューズに対して溶断を指令して該当するフューズを溶断する溶断モードのステップと、確認信号を入力し、上記溶断モードによって該当箇所のフューズが確実に溶断したか否かを判別し、フューズ溶断が不確実なときは再度溶断モードで該当するフューズを溶断する溶断判別モードのステップと、上記溶断判別モードにて該当箇所のフューズを確実に溶断したことを確認後、再トリミング防止用溶断指令を入力し、再トリミング防止回路のフューズを溶断する再トリミング防止モードのステップと、を有することができる。

【0023】

【発明の実施の形態】図1は本発明の一実施例による半導体装置およびそのトリミング方法を説明する要部ブロック回路図、図2は他の実施例による半導体装置のブロック回路図、図3は他の実施例による半導体装置のブロック回路図、図4はトリミング状態記憶回路の回路図、図5はシリアルインタフェース回路とその動作を説明するブロック回路図、図6は図1に図示する選択回路の回路図、図7は図2に図示する選択回路の回路図、図8は図3に図示する選択回路の回路図である。

【0024】図1において、本発明による半導体装置1は、抵抗回路網6にトリミング手段2を有する半導体装置1において、トリミング手段2は、抵抗回路網6と、この抵抗回路(r1~rm)網6の各節点に接続されるスイッチ素子(s1~sm-1)を有し、このスイッチ素子(s1~sm-1)の導通・非導通制御をして抵抗回路網6の内、指定された節点piの出力を選択する選択回路5と、複数個のフューズF(F1~F4)とこのフューズFを溶断制御する第1スイッチSW(SW1~SW4)とを有し、フューズFの溶断

・非溶断で選択回路5に制御信号d1~d4, db1~db4 を出力するトリミング状態記憶回路4と、直列データ(DATA) 1Bを入力し、この直列データ1Bからトリミング状態記憶回路4の動作を制御する各種信号(F1~F4), FC, (T1~T4), CH) を形成するシリアルインタフェース回路3と、を備えて構成される。

【0025】また、トリミング手段2は、テストモードで、シリアルインタフェース回路2の直列データ(T1~T4) を操作し、模擬フューズ溶断信号(T1~T4) としてのテスト信号から選択回路5に導通・非導通の制御信号d1~d4, db1~db4 を出力して最適トリミング状態をテスト・検出する最適トリミング検出手段と、溶断モードで、直列データ(F1~F4) を操作し、フューズF1~F4の内、最適トリミング検出手段で検出された要溶断フューズに対して溶断指令(Hレベルの信号) を出力して該当するフューズを溶断する溶断指令手段と、を備える。

【0026】また、トリミング手段2は、溶断判別モードで、直列データ(CH) を操作し、溶断指令手段によって該当箇所のフューズが確実に溶断したか否かを判別するフューズ溶断判別手段と、を備える。また、トリミング手段2は、再トリミング防止回路4Cを備え、フューズ溶断判別手段が該当箇所のフューズを確実に溶断したことを確認後、直列データ(FC) を操作し、再トリミング防止回路4Cのフューズを溶断する再トリミング防止手段と、を備える。

【0027】かかる構成により、半導体装置1の製品最終段階でトリミング調整するとき、半導体装置1のシリアルインタフェース回路3にテスト信号(T1~T4)、溶断指令(F1~F4)、確認信号(CH)、再トリミング防止用溶断指令(FC)の各種データ1Bを伝送する図示省略されたトリミング治具例えばパソコンと、最適なトリミング状態を検出する図示省略された計測手段と、をセットして以下のトリミング調整することができる。

【0028】トリミング治具は、テストモードのステップでは、直列データ(テスト信号)(T1~T4) をHまたはLレベルに操作し、模擬フューズ溶断信号(T1~T4) としてのテスト信号から選択回路5に導通・非導通の制御信号d1~d4, db1~db4 を出力して最適トリミング状態を検出し、溶断モードのステップでは、直列データ(溶断指令)(F1~F4) をHまたはLレベルに操作し、フューズF1~F4の内、最適トリミング検出手段で検出された該当する要溶断フューズに対して溶断(Hレベル) を指令して該当するフューズを溶断し、溶断判別モードのステップでは、直列データ(確認信号)(CH) をHレベルに操作し、溶断指令手段によって該当箇所のフューズが確実に溶断したか否かを判別し、フューズ溶断が不確実なときは再度溶断モードで該当するフューズを溶断し、再トリミング防止モードのステップでは、フューズ溶断判別手段が該当箇所のフューズを確実に溶断したことを確認後、直列データ(再トリミング防止用溶断指令)(FC)

をHレベルに操作し、再トリミング防止回路4Cのフューズを溶断することができる。

【0029】

【実施例】(実施例1) 本発明による半導体装置を補足説明する。図1において、半導体装置1は、内部回路にアナログ量を取り扱う半導体回路1Aと、このアナログ量の微調整(トリミング)を行うトリミング手段2と、を備えて構成される。

【0030】この様な半導体装置1の適用例として、例えば、携帯機器に搭載されるリチウムイオン電池の充電制御回路などがある。この様な目的では、例えば、バンドギャップ基準電圧と演算増幅器の回路構成で入力信号とか、帰還信号とかにトリミング回路を挿入して微調整を行い精密な精度を確保している。図示例の半導体回路1Aとして、例えば、バンドギャップ基準電圧を演算増幅器の(+)入力端子に入力し、この演算増幅器の出力信号を端子1cより取り出し、トリミング手段2の抵抗R1, R2, R3で分圧し、抵抗R2の両端に直列回路からなるトリミング抵抗回路網(r1~rm) を接続しこの抵抗の各節点(p1~pm-1) に接続されるスイッチ素子(s1~sm-1) を接続し、さらにスイッチ素子で選択・デコードすることにより、トリミング状態記憶回路4の制御信号(d1~d4), (db1~db4)の内、Hレベル出力のスイッチ素子を導通させることにより、この制御信号(d1~d4), (db1~db4)で選択された節点pxの分圧電位が選択されて半導体回路1Aに出力され、ここでは演算増幅器の(-)入力端子に帰還されて、予め定められた基準出力を得ることができる。

(実施例2) 次に、図1を併用しながら図5に本発明の一実施例としてのシリアルインタフェース回路3を説明する。

【0031】図1において、このシリアルインタフェース回路3は、半導体装置1をトリミング調整するとき、図示省略されたトリミング治具からデータ(DATA) 1Bと、クロック信号(CLK) 1Cと、ストロブ信号(STB) 1Dが送信され、また、この半導体装置1が電子装置、例えば、携帯用電話機に組み込まれているとする。この様な場合、携帯用電話機の押しボタンよりデータ(DATA) 1Bと、クロック信号(CLK) 1Cと、ストロブ信号(STB) 1Dを送信する。このデータは、図5で詳細回路動作を説明するが、データ(DATA) 1Bの一部に書き込まれる制御データによって、ラッチ回路Q32, Q33, Q34に残りデータが書き込まれ、ラッチ回路Q32, Q33のデータは、アドレスデータadr1, adr2として半導体回路1A内の予め定められた動作を実行させることができる。例えば、図5のラッチ回路Q33のON, OFF, INC, DECのビット位置にHレベルを設定することにより、ONで電源スイッチON、OFFで電源スイッチOFF、また、INC, DECで音量の増加・減少を設定することができる。

【0032】本発明の実施例では、ラッチ回路Q34のアドレスデータadr3をトリミング調整専用に使っているの

で以下図5でその詳細を説明する。図5において、シリアルインタフェース回路3は、直列データ(DATA)1Bを並列データ(D1~D16)に変換するシフトレジスタQ31と、このシフトレジスタQ31の並列データ(D1~D16)の内、予め定められたビット領域(D12~D16)に書き込まれた制御データによって残りデータ(D1~D11)の書き込み領域(図示例ではラッチ回路Q32、Q33、Q34)を定める第1論理回路(Q35~Q39、Q35T~Q37T)と、この第1論理回路出力(例えば、(D12~D16)が11111のときQ32、01111のときQ33、10111のときQ34)で指定された書き込み領域Q32、Q33、Q34に並列データの内の残りデータ(D1~D11)をラッチする図示例ではQ32、Q33と、トリミング用ラッチ回路Q34と、を備えて構成される。

【0033】なお、ここで第1論理回路(Q35~Q39、Q35T~Q37T)には、予め定められたビット領域(D12~D16)に書き込まれた制御データ(10111)がトリミング用ラッチ回路Q34を指定し、かつ、再トリミング防止回路4CのフューズFが非溶断であるときのみ制御出力を出力するトリミング回路用の第2論理回路(Q39、Q35T~Q37T)を有し、トリミング用ラッチ回路Q34は、この第2論理回路(Q39、Q35T~Q37T)の出力によって伝送される直列データの内、該当データをトリミング用ラッチ回路Q34に取り込むことができる様に構成される。

【0034】具体的には、D12の信号がスイッチSW3、SW4で選択され、再トリミング防止回路4CのフューズFが非溶断のとき、信号COMPがHレベルでスイッチSW3を導通し、再トリミング防止回路4CのフューズFが溶断のとき、信号COMPBがHレベルでスイッチSW4を導通し、信号COMPがLレベルでスイッチSW3を非導通とする。この結果、再トリミング防止回路4CのフューズFが溶断された以降は、トリミング用ラッチ回路Q34へのデータ書き込みを実行することができない。即ち、最終トリミング調整終了後はどのようなモードのパルス信号が製品に侵入しても再トリミングモードに入らなくすることができる。

【0035】上述した様に、再トリミング防止回路4CのフューズFが溶断されていない間は、第2論理回路(Q39、Q35T~Q37T)によってトリミング用ラッチ回路Q34に割り付けられたデータを書き込むことができる。本発明の実施例では、半導体装置1の製品最終段階でトリミング調整するとき、半導体装置1のシリアルインタフェース回路3にテスト信号(T1~T4)、溶断指令(F1~F4)、確認信号(CH)、再トリミング防止用溶断指令(FC)の位置にHレベルを入力することにより、これらの動作を実行することができる。

(実施例3) 次に、図1を併用しながら図4に本発明の一実施例としてのトリミング状態記憶回路4を説明する。図4の(A)は最適トリミング状態をフューズで記憶するためのトリミング状態記憶回路41~44であり、本実施例では4ビットデータで、16節点の最適位置をトリミ

ングするものであり、図4の(B)はフューズ溶断判別手段が該当箇所のフューズを確実に溶断したことを確認後、再トリミングを防止する再トリミング防止回路4Cである。

【0036】図4の(A)において、トリミング状態記憶回路(41~44)は、抵抗回路網の各節点(p1~pm-1)に接続されるスイッチ素子数(m-1)を2進法で表した個数、実施例では16個であるので、4個の状態記憶回路41~44を有する。以下、トリミング状態記憶回路41を代表にとり括弧(42~44)で他のトリミング状態記憶回路も併せて説明する。トリミング状態記憶回路41、(42~44)は、電源VCCに接続されたフューズFと、このフューズFと直列接続され電源0V(GND)間に接続されてフューズFを溶断制御する第1スイッチSW1と、フューズFと第1スイッチSW1の節点Aから抵抗R5を介して電源0V(GND)間に接続される第2スイッチSW2と、この第2スイッチSW2と抵抗R5の節点Bおよびシリアルインタフェース回路3からのアドレスデータadr3の確認信号(CH)とのNANDをとり第2スイッチSW2を制御する第1NAND素子Q4と、シリアルインタフェース回路3からのアドレスデータadr3のテスト信号T1、(T2~T4)をNOT素子Q1でNOT演算しこのNOT信号と節点Bからの当該フューズの溶断・非溶断信号とのNANDをとる第2NAND素子Q2と、を備え、この第2NAND素子Q2の出力およびこの出力のNOT信号とを選択回路5への制御信号d1B、(d2B~d4B)、d1、(d2~d4)として出力することができる。

【0037】かかる構成により、トリミング状態記憶回路41、(42~44)は、2進法で表される溶断されたフューズ情報(溶断・非溶断)あるいは模擬フューズ溶断信号(T1~T4のHおよびLレベル)により抵抗回路網6の各節点p1~pm-1に接続されるスイッチ素子を選択的に導通させ、テストモードで最適トリミング状態を検出し、溶断モードで該当する要溶断フューズを溶断し、溶断判別モードで該当箇所のフューズが確実に溶断されたことを検出して最適トリミング状態を記憶・保持することができる。

【0038】次に、トリミング状態記憶回路41で各動作モードを説明する。まず、フューズFが非溶断のときを説明する。尚、ここでは第2スイッチSW2のON抵抗はフューズFと抵抗R5の和の抵抗値より大とする。この条件下では、節点Bの電位は、第2スイッチSW2のON抵抗がフューズFと抵抗R5の和の抵抗値より大であるので、第1NAND素子Q4の動作と無関係に、第2NAND素子Q2にとってHレベルとなる。

【0039】テストモードのステップでは、直列データ(T1をHレベル)に操作し、模擬フューズ溶断信号T1/HレベルをNOT素子Q1に与える。NOT素子Q1の出力はLレベルであるので、節点Bの状態如何に関せずNAND素子Q2の出力はHレベルとなり、従ってトリミング状態記憶回路41の出力は、d1BがHレベルとなり、d1がLレベルと

なる。また、直列データ (T1をLレベル) のときは、NAND素子Q2の入力は共にHレベルとなり、従ってトリミング状態記憶回路41の出力は、d1BがLレベルとなり、d1がHレベルとなる。従って、直列データ (T1~T4) に対してそれぞれH/Lレベルを設定することにより、抵抗回路網6の各節点p1~pm-1に接続される任意のスイッチ素子を選択的に導通させることができる。従って、テスト信号 (T1~T4) から選択回路5に導通・非導通の制御信号 (d1B~d4B), (d1~d4) を出力して抵抗回路網6の任意の節点pxの電位を検出して半導体回路1Aの端子1dに帰還することにより、半導体回路1Aとして予め定められた最適なトリミング状態pxを検出することができる。

【0040】次に、溶断モードのステップでは、上述のテストモードで検出された最適なトリミング状態pxをトリミング状態記憶回路41~44のフューズFを溶断して、この最適トリミング状態pxを固定・記憶させるものである。この方法は、直列データ (溶断指令: F1~F4) に対して、先のテストモードで最適トリミング状態pxに対応するテスト信号 (T1~T4) のHレベル箇所に対応する箇所をHレベルに設定することによって実行できる。即ち、直列データ (溶断指令: F1~F4の該当箇所をHレベル) に設定し、トリミング状態記憶回路41~44のフューズ溶断指令F1~F4の該当箇所をHレベルにする。この結果、Hレベルにある該当箇所の第1スイッチSW1が導通し、電源VCCと0V(GND)間がフューズFと第1スイッチSW1のON抵抗で除算した電流が流れ、発熱して、該当箇所のフューズを溶断することができる。そして該当箇所のフューズを溶断後、テスト信号 (T1~T4) をLレベルにして、第1スイッチSW1をOFFとする。

【0041】次に、溶断判別モードのステップでは、直列データ (T1~T4) をLレベルとし、直列データ (確認信号CH) を操作し、溶断指令手段によって該当箇所のフューズが確実に溶断したか否かを判別する。この確認信号CHは、Power on Reset信号であり、回路電源が入力された後、Lレベルを出力し、数百 μ sec遅れてHレベルになる信号を用いる。

【0042】即ち、フューズが溶断していないときは、節点Aの電位はVCCに近い電位を示し、確認信号初期CHがLレベルで、NAND素子Q4出力がHレベルにあり、第2スイッチSW2がONとなるが、このON抵抗がフューズFと抵抗R5の和の抵抗値より大であるので、節点Bの電位はHレベルになる。続いて確認信号CHがHレベルに変化し、NAND素子Q4出力がLレベルに変化し第2スイッチSW2がOFFになっても、節点BはHレベルにあり、直列データ (T1~T4) はLレベルであるので、NOT素子Q1の出力はHレベルとなり、第2NAND素子Q2は節点BのLレベルとなり、d1(d2,d3,d4)はHレベルとなり、dB1(dB2,dB3,dB4)はLレベルとなる。

【0043】また、フューズが溶断しているときは、節点Aの電位はフローティングであり、確認信号初期CHが

Lレベルで、NAND素子Q4出力がHレベルにあり、第2スイッチSW2がONとなり、節点Bの電位がLレベルになる。続いて確認信号CHがHレベルに変化しても、NAND素子Q4出力はHレベルにあり、第2スイッチSW2がON状態を継続し、節点BはLレベルにあり、直列データ (T1~T4) はLレベルであるので、NOT素子Q1の出力はHレベルとなり、第2NAND素子Q2は節点BのHレベルとなり、d1(d2,d3,d4)はLレベルとなり、dB1(dB2,dB3,dB4)はHレベルとなる。

【0044】即ち、フューズが溶断していないときは第2スイッチSW2がOFFであるので、電源VCCの電流の増加はなく、かつ出力 d1(d2,d3,d4) がHレベルであることより該当するフューズは未溶断であることが確認でき、またフューズが溶断しているときは第2スイッチSW2がONであるが、節点Aがフローティングであるので、電源VCCの電流の増加はなく、かつ出力 d1(d2,d3,d4) がLレベルであることより該当するフューズは溶断であることが確認できる。

【0045】また、再トリミング防止モードのステップでは、上述するフューズ溶断判別手段が該当箇所のフューズを確実に溶断したことを確認後、次の処理を行う。図4の(B)において、再トリミング防止回路4Cは、トリミング状態記憶回路41~44との相違点が最適なトリミング状態を検出するためのテスト信号 (T1~T4) が不要であることである。従って、NOT素子Q1が削除され、第2NAND素子Q2がNOT素子Q5に置き替えられ、溶断指令 (F1~F4) が溶断指令FCとなる点にある。

【0046】この溶断動作は、直列データFCを操作して、溶断指令FCをHレベルにする。この結果、フューズFに電源VCCから溶断電流が流れ、フューズFを溶断することができる。この再トリミング防止回路4CのフューズFが確実に溶断できたか否かの確認もトリミング状態記憶回路41~44と同様に行うことができる。また、この再トリミング防止回路4CのフューズFを溶断した後の出力は、節点BがLレベルになるので、出力compがLレベルに、compBがHレベルである。この再トリミング防止回路4Cの出力comp, compBは図5の第2論理回路 (Q39,Q35T~Q37T) に関連して図示されている様に、再トリミング防止回路4CのフューズFが未溶断のとき、compがHレベルに、compBがLレベルにあるので、スイッチ素子SW3がON、スイッチ素子SW4がOFFする。従って、トリミング用ラッチ回路Q34のadr3のデータラッチを行わせる制御信号(10111)は、直列データD12のデータがスイッチ素子SW3を介して論理素子Q37に入力されてデコーダ回路を構成することができるので、直列データを操作することによって、トリミング状態記憶回路4を制御することができる。

【0047】他方、再トリミング防止回路4CのフューズFを溶断した後は、出力compがLレベルに、compBがHレベルであるので、スイッチ素子SW3がOFF、スイッチ

素子SW4 がONする。即ち、直列データD12 のデータはスイッチ素子SW3 で阻止され、スイッチ素子SW4 で常にLレベルにロックされ、制御信号(0xxxx) (但し、x はD13~D16 の任意データ)となり、ラッチ回路Q34 のデータラッチを行わせる制御信号(10111)を構成することができる。即ち、一旦、トリミング調整後、再トリミング防止回路4CのフューズF を溶断した後は、如何なる直列データを入力しても再トリミング状態に入ることを防止できる。

【0048】また、トリミング用ラッチ回路Q34 に残りデータ (D1~D11)をラッチさせる第2論理回路 (Q39, Q35T~Q37T) は、シフトレジスタQ31 の並列データ (D1~D16)の内、予め定められたビット領域の特定データ (D12) を、再トリミング防止回路4CのフューズF 非溶断でHレベル信号で第2論理回路のAND 素子Q37Tに入力する第3スイッチ素子SW3 と、再トリミング防止回路4CのフューズF 溶断でHレベル信号で特定データ (D12) をAND 素子Q37Tへの入力を阻止してLレベル信号を入力する第4スイッチ素子SW4 と、抵抗R6と、を備え、この第3・第4スイッチ素子SW3, SW4 とAND 素子Q37Tの入力が接続された共通点(BLK)をIC端子に出力することができる。

【0049】また、トリミング用ラッチ回路Q34 に残りデータ (D1~D11)をラッチさせる第2論理回路 (Q39, Q35T~Q37T) は、シフトレジスタQ31 の並列データ (D1~D16)の内、予め定められたビット領域の特定データ (D12) を、再トリミング防止回路4CのフューズF 非溶断でHレベル信号で第2論理回路のAND 素子Q37Tに入力する第3スイッチ素子SW3 と、再トリミング防止回路4CのフューズF 溶断でHレベル信号で特定データ (D12) をAND 素子Q37Tへの入力を阻止してLレベル信号を入力する第4スイッチ素子SW4 と、抵抗R6と、この第3・第4スイッチ素子SW3, SW4とAND 素子Q37Tの入力が接続された共通点(BLK)を並列データD11 に読み書き可能とし、この並列データを読み出す手段と、を備えることができる。

【0050】かかる構成により、この共通点をIC端子に出力することにより、この端子の信号レベルを読み取ることにより、トリミング状態記憶回路のトリミング調整の有無を確認することができる。

(実施例4) 図1 および図6において、選択回路5Aは、抵抗回路網6の各節点 (p1~p16)に接続されるスイッチ素子 (s1~s16)と、このスイッチ素子 (s1~s16)と同一素子を用いてデコーダ回路を構成するスイッチ素子 (s17~s30)と、を備え、デコーダ回路は、前段のスイッチ素子出力を2個一組として接続してスイッチ素子を介して次段に出力し、最終段はスイッチ素子s29, s30 の出力を2個一組として接続してトリミング選択出力1dとし、トリミング状態記憶回路4の制御信号d1~d4, d1B~d4B の同一ビットのH, L 信号は、同一段の2個一組となるスイッチ素子、例えば (d1, d1B)のH, L 信号はスイッチ素子 (s1, s2), (s3, s4), … (s15, s16) にそれぞれ接続すること

ができる。

【0051】かかる構成により、同一スイッチ素子s1~s30 を用いてデコーダ回路を構成し、トリミング状態記憶回路4の制御信号d1~d4, d1B~d4B によって選択された抵抗回路網6の節点pxの出力をトリミング出力として取り出すことができる。

(実施例5) また、図2および図7において、選択回路5Bは、抵抗回路網6の各節点 (p1~p16)に接続されるスイッチ素子 (s1~s16)と、トリミング状態記憶回路4の制御信号d1~d4, d1B~d4B をデコードする第3論理回路5Cと、を備え、この第3論理回路5C出力をスイッチ素子 (s1~s16)に個別に接続することができる。

【0052】かかる構成により、第3論理回路5Cでトリミング状態記憶回路4の制御信号d1~d4, d1B~d4B を直接デコードしてスイッチ素子 (s1~s16)のON-OFF制御を行うことができ、選択した抵抗回路網6の節点pxの出力を1個のスイッチ素子sxのON抵抗で検出することができる。

(実施例6) また、図3および図8において、選択回路5Dは、抵抗回路網6の各節点 (p1~p16)に接続されるスイッチ素子 (s1~s16)と、トリミング状態記憶回路4の制御信号d1~d4, d1B~d4B を分割してデコードする第4論理回路5Eおよび第5論理回路5Fと、第5論理回路5Fで選択制御される選択スイッチ素子 (s17~s20)と、を備え、スイッチ素子s1~s16 を第4論理回路5Eの出力数 (4個) 毎 (s1~s4), (s5~s8), (s9~s12), (s13~s16) にグループ化し、グループ内の各節点の選択を第4論理回路5Eの出力で制御し、このグループ単位毎の選択を第5論理回路5Fの出力で制御することができる。

【0053】かかる構成により、この選択回路5Dは、トリミング状態記憶回路4の制御信号d1~d4, d1B~d4B によって選択された抵抗回路網6の節点pxの出力をトリミング出力1dとして取り出すことができる。特に、選択回路5D上の制御信号の配線数は、各スイッチ素子 (s1~s16)に個別に配線される選択回路 (5B)に対して、グループ化した配線を著る式に配線できるので、選択回路5Aと同等ないしはこれに近い配線数に減減することができ、選択した抵抗回路網の節点pxの出力を2個のスイッチ素子のON抵抗で検出することができる。

【0054】本発明による半導体装置のトリミング調整は、抵抗回路網の各節点にスイッチ素子が接続され、このスイッチ素子の導通制御をして指定された節点出力を選択することができる。即ち、抵抗回路網を構成する抵抗素子を短絡してトリミング調整を行うのではなく、指定された節点の出力を選択する構成であるので、トリミング調整によって抵抗回路網の全抵抗値が変化することなく、任意の節点出力が選択できるポテンショメータを構成することができる。即ち、抵抗回路網の全抵抗値が一定であるので、トリミング調整によって抵抗回路網の電流分布の変化が無い様に構成することができるので、

より一般的な、高精度を要求される用途などのトリミング調整に適用することができる。

【0055】

【発明の効果】本発明によれば、直列データを入力してトリミング状態記憶回路のフューズを溶断制御し、このフューズの溶断・非溶断で抵抗回路網の各節点に接続されるスイッチ素子の導通・非導通制御をして指定された節点出力を選択することにより、トリミング調整を可能とし、トリミング調整完了後、再トリミング防止回路のフューズを溶断して、以降の再トリミングを防止する。

【0056】この結果、集積回路(IC)の製品最終段階での調整を可能とし、トリミング手段としてのフューズでトリミング用の抵抗素子を短絡構成することなく、比較的低い抵抗素子を用いても高精度で安定なトリミング調整手段を有し、最適トリミング状態に調整されたことを確認し、最終トリミング調整終了後はどのようなモードのパルス信号が製品に侵入しても再トリミングモードに入らなくすることができる半導体装置およびそのトリミング方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体装置およびそのトリミング方法を説明する要部ブロック回路図

【図2】他の実施例による半導体装置のブロック回路図

【図3】他の実施例による半導体装置のブロック回路図

【図4】トリミング状態記憶回路の回路図

【図5】シリアルインタフェース回路とその動作を説明するブロック回路図

【図6】図1に図示する選択回路の回路図

【図7】図2に図示する選択回路の回路図

【図8】図3に図示する選択回路の回路図

【図9】従来技術による半導体装置のブロック回路図

【符号の説明】

1, 110 半導体装置

1A 半導体回路

1B データ

1C クロック

1D ストロープ信号

1a~1d 端子

2 トリミング手段

3 シリアルインタフェース回路

4 トリミング状態記憶回路

41~44 トリミング状態記憶回路

4C 再トリミング防止回路

5 選択回路

5A デコーダ回路

5B 選択回路

5C 第3論理回路

5D 選択回路

5E 第4論理回路

5F 第5論理回路

6 抵抗回路網

adr1~adr3 アドレスデータ

comp, compB 調整完了信号

d1~d4, d1B~d4B 制御信号

R1~R6, r1~rm 抵抗

s1~s30, sm-1, SW3, SW4 スwitch素子

SW1 第1スイッチ

SW2 第2スイッチ

p1~pm-1, p16 節点

px 最適トリミング状態節点

A, B, C 節点

D1~D16 並列データ

F フューズ

F1~F4 溶断指令

FC 再トリミング防止用溶断指令

T1~T4 テスト信号

CH 確認信号

Q1, Q3, Q5 NOT 素子

Q2, Q4 NAND素子

Q31 シフトレジスタ

Q32, Q33 ラッチ回路

Q34 トリミング用ラッチ回路

Q35 ~Q38 第1論理回路

Q35T~Q37T, Q39 第2論理回路

Ra~Rd 抵抗網

105, 106, 107 フューズ

115, 116, 117 切換手段

118 トリミング治具

118b マイクロプロセッサ

118c P/S 変換器

114a S/P 変換器

114 レジスタ

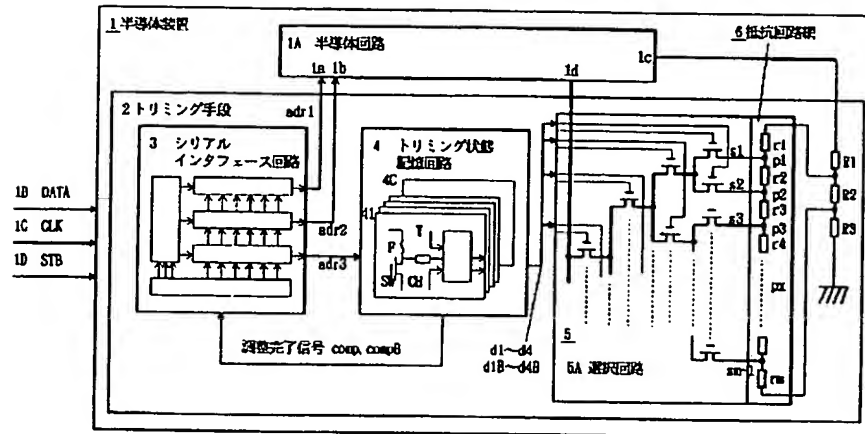
113 デコーダ

c フューズ電流供給ライン

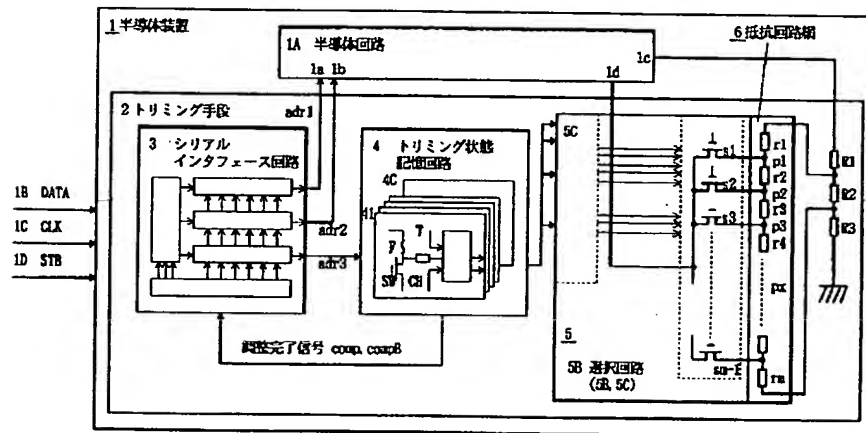
VCC 電源電圧

GND 電源0V

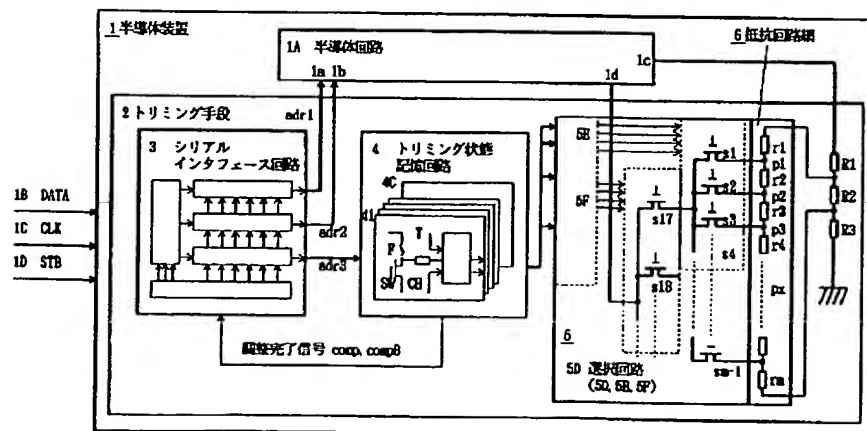
【図1】



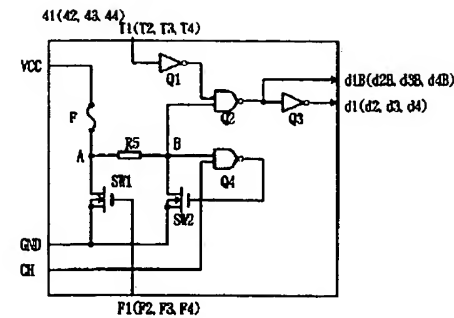
【図2】



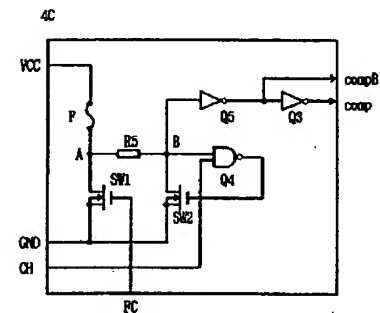
【図3】



【図4】

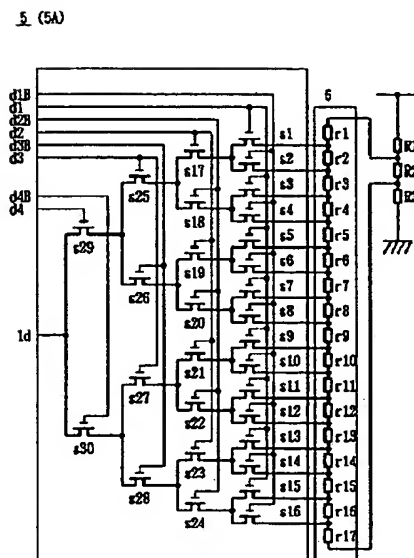


(A)



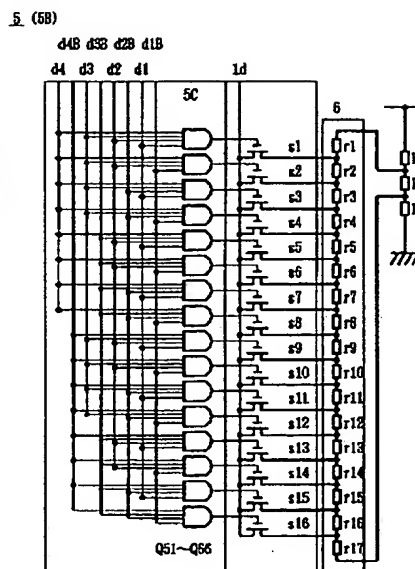
(B)

【図6】



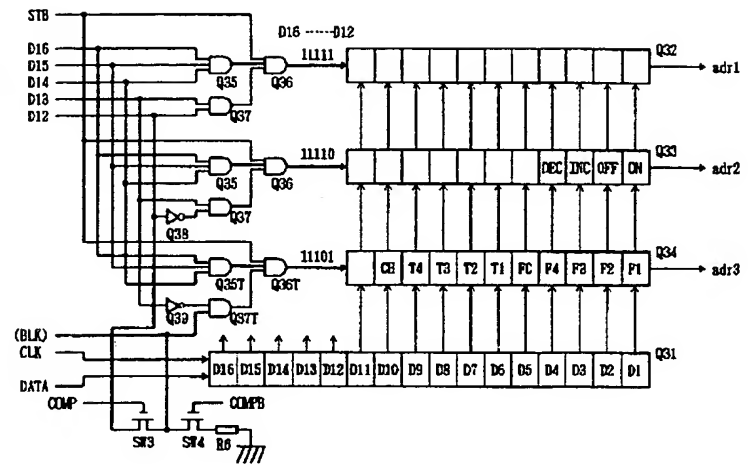
5 (5A)

【図7】

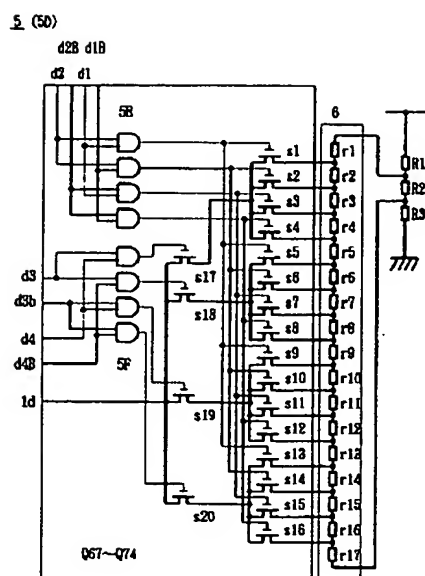


5 (5B)

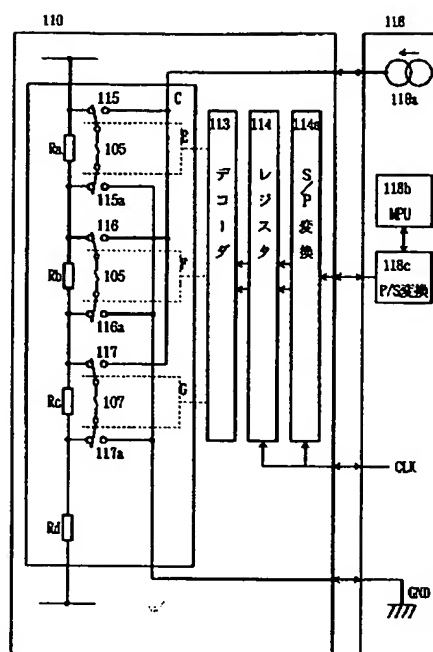
【図5】

(BLK)
CLK
DATA
COMP

【図8】



【図9】



THIS PAGE BLANK (USPTO)